

BCH Code Encoder/Decoder IP-BCH1Pc-(n,k)

November 20, 2007

Product Specification

開発・販売・サポート

株式会社 機械学習研究所

(Machine Learning Laboratory, Inc.)

〒228-0803 神奈川県相模原市相模大野 3-1-12

Phone: 042-705-0377

Fax: 042-705-0378

E-mail: ipcore@ml-labo.com

URL: <http://www.ml-labo.com/>

特徴

- VHDL IP コア
- BCH 符号のエンコーダ/デコーダ
- 符号シンボル数: 固定 n (注文時指定)
- 情報シンボル数: 固定 k (注文時指定)
- シンボル長: 1-bit
- アーキテクチャ: 並列 & パイプライン処理
- 最大エラー訂正数: t-bit
- 最大イレージャ訂正数: -
- 復号器の最高動作周波数: 209MHz
XC2V1000-6 における IP-BCH1P12 -(63,51)
の評価値
- 復号器の最高データ速度: 209*(k/n)Mbps
XC2V1000-6 における IP-BCH1P12-(63,51)
の評価値

応用分野

- デジタル衛星放送
- 無線通信、無線 LAN
- 超小型地上局(VSAT)
- 二次元バーコード
- 光通信

表 1 : IP-BCH1Pc-(n,k) 仕様

設計パラメータ ¹	
符号シンボル数	n 注文時指定
情報シンボル数	k 注文時指定
拡大体の生成多項式	注文時指定
拡大体の原始元(生成元)	注文時指定
符号の生成多項式	注文時指定
最大エラー訂正数 ²	t
最大イレージャ訂正数	-
シンボル長	1 bit
復号器のパフォーマンス ³	
最高動作周波数 ³	209MHz
最高データ速度 ³	209 × (k/n) Mbps
パッケージ構成 ⁴	
配布形式	VHDL ソースコード
検証方法	VHDL テストベンチ
添付ドキュメント	ユーザーズマニュアル

注:

1. 設計パラメータは注文時指定です。なお、IP-BCH1Pc-(n,k) シリーズは、イレージャ訂正には対応しておりません。イレージャ訂正が必要なお客様は、IP-BCH1PcE-(n,k) シリーズをご利用ください。
2. t は、(n,k)だけでなく、符号の生成多項式にも依存します。
3. Xilinx XC2V1000-6 における IP-BCH1P12-(63,51) の評価値です。
4. IP コアは、CD-R に記録して提供されます。

概要

BCH 符号は、様々な通信装置や記憶装置で使われている誤り訂正符号です。

IP-BCH1P は、シンボル長が 1-bit の BCH 符号の符号器/復号器のファミリです。IP-BCH1P では、並列 & パイプライン処理によって、高速な処理を可能としています。

IP-BCH1Pc-(n,k) は、IP-BCH1P ファミリの IP コアで、消失訂正機能の不要なアプリケーション向けに、アーキテクチャを最適化したものです。

ブロック図

IP-BCH1P シリーズのエンコーダの Pinout は次のようになっています。

図 1 : Encoder の Pinout

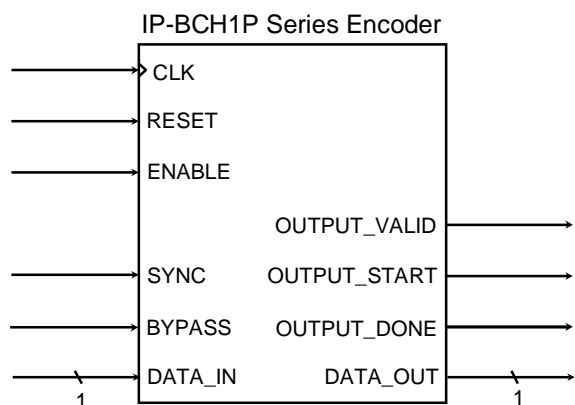


表 2 : Encoder の I/O Description

信号名	I/O	Description
CLK	I	システムクロック
RESET	I	システムリセット (非同期)
ENABLE	I	システムイネーブル
SYNC	I	先頭の情報シンボルを示す
BYPASS	I	符号化をバイパスする
DATA_IN	I	情報シンボル (1bit)
OUTPUT_VALID	O	符号シンボルを出力中

OUTPUT_START	O	先頭の符号シンボルを示す
OUTPUT_DONE	O	末尾の情報シンボルを示す
DATA_OUT	O	符号シンボル (1bit)

IP-BCH1Pc-(n,k) のデコーダの Pinout は次のようになっています。

図 2 : Decoder の Pinout

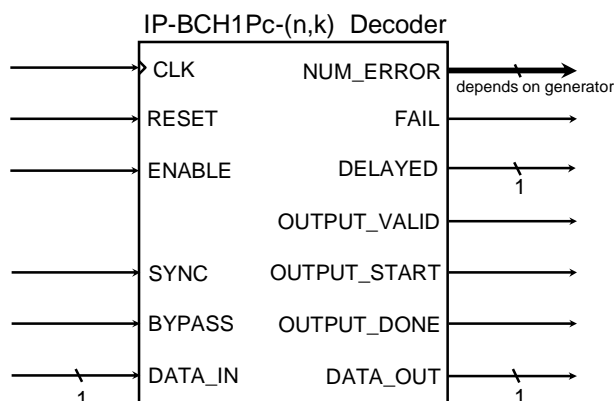


表 3 : Decoder の I/O Description

信号名	I/O	Description
CLK	I	システムクロック
RESET	I	システムリセット (非同期)
ENABLE	I	システムイネーブル
SYNC	I	先頭の受信シンボルを示す
BYPASS	I	復号化をバイパスする
DATA_IN	I	受信シンボル (1bit)
OUTPUT_VALID	O	情報シンボルを出力中
OUTPUT_START	O	先頭の情報シンボルを示す
OUTPUT_DONE	O	末尾の情報シンボルを示す
DATA_OUT	O	情報シンボル (1bit)
DELAYED	O	遅延した受信ビット
NUM_ERROR	O	訂正したエラーの個数
FAIL	O	復号を失敗したことを示す

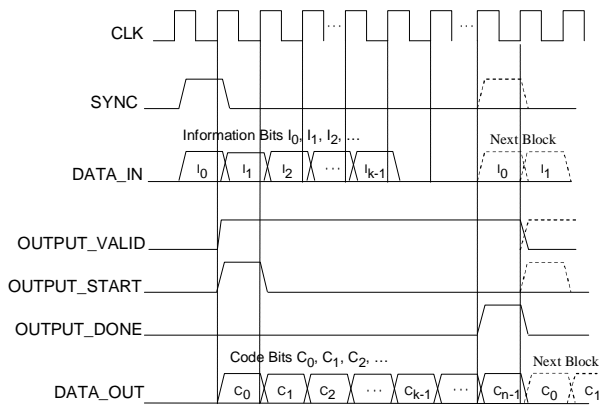
NUM_ERROR のビット幅は、n-k に依存して決まります。

なお、以上において、CLK は立ち上がりエッジでトリガされます。また、RESET, ENABLE などの制御信号は、すべてポジティブ・ハイです。

入出力タイミング

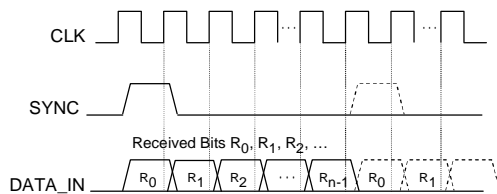
IP-BCH1Pc-(n,k) のエンコーダの入出力タイミングは、次のようになっています。エンコーダのレイテンシーは 1 です。

図 3 : Encoder の入出力タイミング



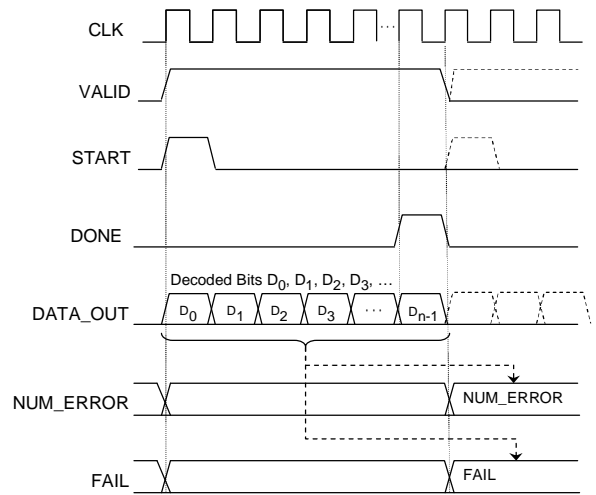
IP-BCH1Pc-(n,k) のデコーダの入力タイミングは、次のようになっています。IP-BCH1P シリーズでは、並列 & パイプライン処理を採用していますので、受信シンボルの入力が入力 1 ブロック完了した直後に、連続して次のブロックの入力を開始できます。

図 4 : Decoder の入力タイミング



IP-BCH1Pc-(n,k) のデコーダの入出力タイミングは、次のようになっています。

図 5 : Decoder の出力タイミング



IP-BCH1Pc-(n,k) のデコーダのレイテンシーは $n-k$ に依存して決まります。具体的には、例えば次のような値をとります。

表 4 : Decoder のレイテンシー

型番	$n-k$	レイテンシー
IP-BCH1P4- (n,k)	4	$n+15+5$
IP-BCH1P6- (n,k)	6	$n+21+5$
IP-BCH1P8- (n,k)	8	$n+27+5$
IP-BCH1P10- (n,k)	10	$n+33+5$
IP-BCH1P16- (n,k)	16	$n+54+5$
IP-BCH1P20- (n,k)	20	$n+66+5$
IP-BCH1P32- (n,k)	32	$n+98+5$

訂正能力

1 ブロックにつき t ビットまでのエラーがある場合には、IP-BCH1Pc-(n,k) は、エラーを訂正するとともに、NUM_ERROR に訂正したエラーの数を出力します。一方、1 ブロックに t より多いエラーがある場合には、IP-BCH1Pc-(n,k) は、FAIL に 1 を出力します。ただし、理論的に検出可能な数を超える誤りシンボルがある場合には、FAIL の値は保証されません (理論的に検出可能な数を超えるエラーがあって、Decoder が誤訂

正してしまう場合には、FAIL は 0 となります。これは、理論的な限界によるもので、本製品に固有な仕様ではありません。

ベンチマーク

例えば、Xilinx XC2V1000-6 では、次のような特性が得られます。

表 5 : Encoder のベンチマーク

型番	スライス数	BRAM 数	動作速度
IP-BCH1P12- (63,51)	19	0	299 MHz

表 6 : Decoder のベンチマーク

型番	スライス数	BRAM 数	動作速度
IP-BCH1P12- (63,51)	375	1	209 MHz

サポート

本製品に関する直接的かつ技術的な問題については、製品ご購入後 1 年間、無償でサポートいたします。

注意

本製品の改良に伴って、本ドキュメントの内容を予告なく変更する場合がありますので、あらかじめご了承ください。

本製品を使用するには、BCH 符号やハードウェア記述言語に関する知識が必要です。本ドキュメントの誤りや記載漏れによって生じた損害については責任を負いかねますのでご了承ください。