

Reed-Solomon Code Encoder/Decoder IP-RS8P32-CCSDS

November 20, 2007

Product Specification

開発・販売・サポート

株式会社 機械学習研究所

(Machine Learning Laboratory, Inc.)

〒228-0803 神奈川県相模原市相模大野 3-1-12

Phone: 042-705-0377

Fax: 042-705-0378

E-mail: ipcore@ml-labo.com

URL: <http://www.ml-labo.com/>

特徴

- VHDL IP コア
- NASA, "Telemetry Channel Coding", CCSDS 101.0-B-5 Blue Book June 2001 に準拠する Reed-Solomon 符号のエンコーダ/デコーダ
- 符号シンボル数: 255
- 情報シンボル数: 223
- シンボル長: 8bit
- アーキテクチャ: 並列 & パイプライン処理
- 最大エラー訂正数: 16 シンボル
- 最大イレージャ訂正数: -
- 最高動作周波数: 91MHz
Xilinx FPGA XC2V1000-6 における評価値
- 最高データ速度: 91Mbps
Xilinx FPGA XC2V1000-6 における評価値

応用分野

- 無線通信
- 光通信
- 超小型地上局(VSAT)

表 1 : IP-RS8P32-CCSDS 仕様

設計パラメータ ¹	
符号シンボル数	255
情報シンボル数	223
Galois 体生成多項式	$x^8 + x^7 + x^2 + x + 1$
単位元	$= x$ (二進数表示: 1 0)
RS 符号生成多項式	$g(x) = \prod_{j=128-16}^{127+16} (x - \alpha^{11j})$
最大エラー訂正数	16
最大イレージャ訂正数	-
シンボル長	8 bit
復号器のパフォーマンス ²	
最高動作周波数 ²	147MHz
最高データ速度 ²	1,028Mbps
パッケージ構成 ³	
配布形式	VHDL ソースコード
検証方法	VHDL テストベンチ
添付ドキュメント	ユーザーズマニュアル

注:

1. IP-RS8Pc シリーズは、イレージャ訂正には対応しておりません。イレージャ訂正が必要なお客様は、IP-RS8PcE シリーズをご利用ください。また、インターリーパー/デインターリーパーは別売りとなっております。
2. Xilinx XC2V1000-6 における評価値です。
3. IP コアは CD-R に記録して提供されます。

概要

リード・ソロモン符号(Reed-Solomon 符号)は、CS 放送, デジタル BS, デジタル地上波 TVをはじめとする様々な通信装置や CD, DVDなどの記憶装置で使われている誤り訂正符号です。

IP-RS8P は、シンボル長 8bit のリード・ソロモン符号の符号器/復号器です。IP-RS8P シリーズでは、並列&パイプライン処理によって、高速な処理を可能としています。

IP-RS8P32-CCSDS は、IP-RS8P ファミリの IP コアで、消失訂正機能の不要なアプリケーション向けにアーキテクチャを最適化するとともに、冗長シンボル数 32 の CCSDS 101.0-B-5 Reed-Solomon 符号エンコーダ/デコーダに完全準拠するために周辺回路を付加したものです。

ブロック図

IP-RS8P32-CCSDS のエンコーダの Pinout は次のようになっています。

図 1 : Encoder の Pinout

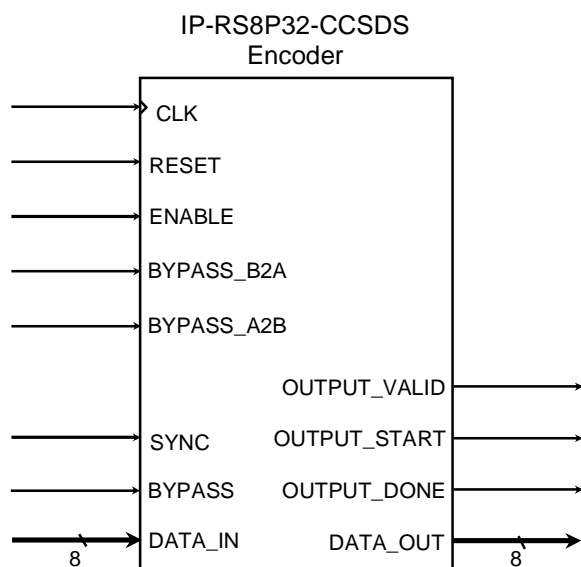


表 2 : Encoder の I/O Description

信号名	I/O	Description
CLK	I	システムクロック
RESET	I	システムリセット (非同期)
ENABLE	I	システムイネーブル
BYPASS_B2A	I	前段の基底変換をバイパスする
BYPASS_A2B	I	後段の基底変換をバイパスする

SYNC	I	先頭の情報シンボルを示す
BYPASS	I	符号化をバイパスする
DATA_IN	I	情報シンボル (8bit)
OUTPUT_VALID	O	符号シンボルを出力中
OUTPUT_START	O	符号シンボル系列の先頭を示す
OUTPUT_DONE	O	符号シンボル系列の末尾を示す
DATA_OUT	O	符号シンボル (8bit)

IP-RS8P32-CCSDS のエンコーダの Pinout は次のようになっています。

図 2 : Decoder の Pinout

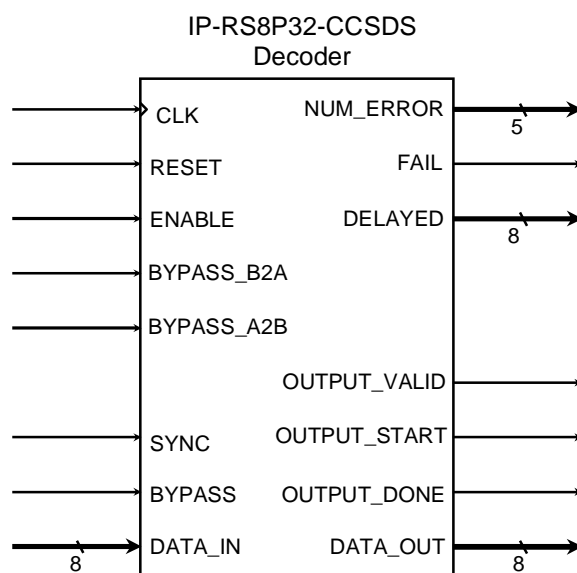


表 3 : Decoder の I/O Description

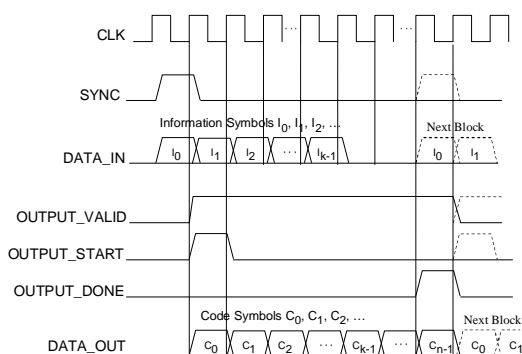
信号名	I/O	Description
CLK	I	システムクロック
RESET	I	システムリセット (非同期)
ENABLE	I	システムイネーブル
BYPASS_B2A	I	前段の基底変換をバイパスする
BYPASS_A2B	I	後段の基底変換をバイパスする
SYNC	I	先頭の受信シンボルを示す
BYPASS	I	復号化をバイパスする
DATA_IN	I	受信シンボル (8bit)
OUTPUT_VALID	O	情報シンボルを出力中
OUTPUT_START	O	先頭の情報シンボルを示す
OUTPUT_DONE	O	末尾の情報シンボルを示す
DATA_OUT	O	情報シンボル (8bit)
DELAYED	O	遅延した受信シンボル (8bit)
NUM_ERROR	O	訂正したエラーの個数
FAIL	O	復号を失敗したことを示す

なお、以上において、CLK は立ち上がりエッジでトリガされます。また、RESET, ENABLE などの制御信号は、すべてポジティブ・ハイです。

入出力タイミング

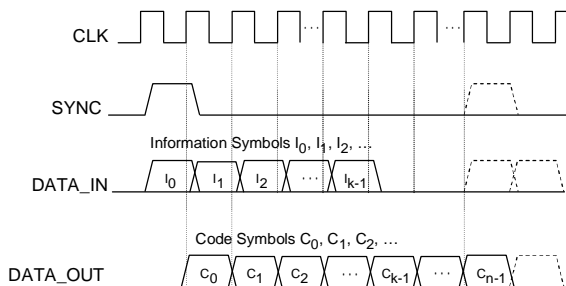
IP-RS8P32-CCSDS のエンコーダの入出力タイミングは、次のようになっています。エンコーダのレイテンシーは $1+2=3$ です。

図 3 : Encoder の入出力タイミング



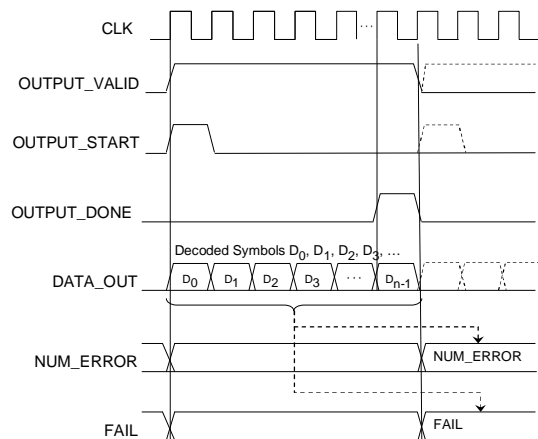
IP-RS8P32-CCSDS のデコーダの入出力タイミングは、次のようになっています。IP-RS8P シリーズでは、並列&パイプライン処理を採用していますので、受信シンボルの入力が入力1ブロック完了した直後に、連続して次のブロックの入力を開始できます。

図 4 : Decoder の入力タイミング



IP-RS8P32-CCSDS のデコーダの出力タイミングは、次のようになっています。

図 5 : Decoder の出力タイミング



IP-RS8P32-CCSDS のデコーダのレイテンシーは $255+98+5+2=360$ です。

訂正能力

1 ブロックにつき 16 シンボルまでのエラーがある場合には、IP-RS8P32-CCSDS は、エラーを訂正するとともに、NUM_ERROR に訂正したエラーの数を出力します。一方、1 ブロックに 16 シンボルより多いエラーがある場合には、IP-RS8P32-CCSDS は、FAIL に 1 を出力します。ただし、理論的に検出可能な数を超えるエラー・シンボルがある場合には、FAIL の値は保証されません (理論的に検出可能な数を超えるエラーがあって、Decoder が誤訂正してしまう場合には、FAIL は 0 となります。これは、理論的な限界によるもので、本製品に固有な仕様ではありません)。

ベンチマーク

例えば、Xilinx XC2V1000-6 では、次のような特性が得られます。

表 4 : Encoder のベンチマーク

型番	スライス数	BRAM数	動作速度
IP-RS8P32-CCSDS ENCODER	320	0	182 MHz

表 5 : Decoder のベンチマーク

型番	スライス数	BRAM数	動作速度
IP-RS8P32-CCSDS DECODER	3,716	1	147MHz

サポート

本製品に関する直接的かつ技術的な問題については、製品ご購入後 1 年間、無償でサポートいたします。

注意

本製品の改良に伴って、本ドキュメントの内容を予告なく変更する場合がありますので、あらかじめご了承ください。

本製品を使用するには、リード・ソロモン符号やハードウェア記述言語に関する知識が必要です。本ドキュメントの誤りや記載漏れによって生じた損害については責任を負いかねますのでご了承ください。